

(19)



JAPANESE PATENT OFFICE

NEC-5082 ④

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09312343 A**

(43) Date of publication of application: **02.12.97**

(51) Int. Cl

H01L 21/82
H01L 21/3205
H01L 27/108
H01L 21/8242

(21) Application number: **08127972**

(22) Date of filing: **23.05.96**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
ARAKAWA FUMIKO
SUWAUCHI NAOKATSU
UCHIYAMA HIROYUKI
UMAGOE MASASHI
ISHIKAWA TSUGIO
KOBAYASHI HIRONAO
ASAYAMA MASAICHIRO

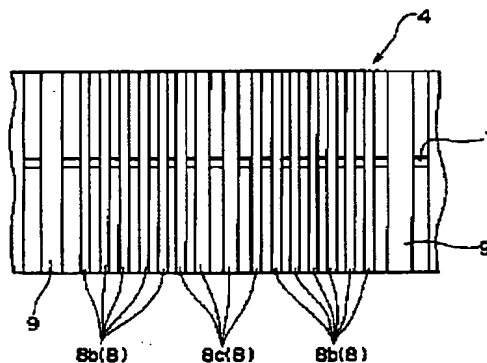
(54) WIRING OF REDUNDANT LINE AND SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the recovery yield by a redundant circuit technique by wiring at least one of redundant lines connected to redundant circuits on regions of a wiring layer with a flattened insulation film to reduce defective redundant lines.

SOLUTION: Word lines 8 are formed above memory cell regions 41 and sense lines 9 are formed above sense amplifier regions 4b. The word lines 8 are composed of process dummy lines 8a, specified number of regular word lines 8b and specified number of redundant lines 8c for recovering defective memory cells. The redundant lines 8c locate at the central area and its vicinity of the wiring 1 with the specified number of regular word lines 8 formed above a memory map 4, thus forming the redundant lines 8c at flattened areas. This enables the high-accuracy lithographic process and high-accuracy patterning.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-312343

(43)公開日 平成9年(1997)12月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	R
21/3205			21/88	Z
27/108			27/10	6 9 1
21/8242				

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21)出願番号 特願平8-127972

(22)出願日 平成8年(1996)5月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 荒川 史子

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 諏訪内 尚克

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 内山 博之

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

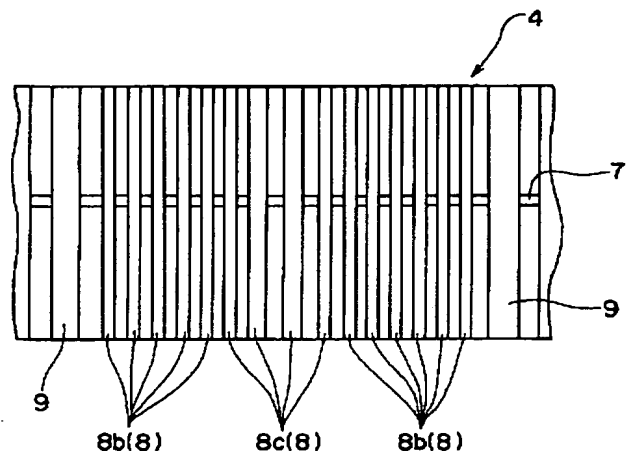
(54)【発明の名称】 冗長線の配線方法および半導体装置

(57)【要約】

【課題】 冗長線の加工不良を低減させ、冗長回路技術による救済歩留まりを向上させる。

【解決手段】 メモリセルなどが不良の場合に救済を行う冗長回路に接続された所定の本数の冗長線8cをメモリマット4の上方における正規のワード線8が形成されている配線層の中央部およびその近傍に配置する。それにより、平坦化された絶縁膜上に冗長線8cを形成でき、高精度のリソグラフィプロセスが可能となり、高精度のパターニングを行うことができる。

図 3



3:メモリマット 8c:冗長線
8b:ワード線

【特許請求の範囲】

【請求項1】 冗長回路と接続された複数の冗長線の配線方法であって、前記複数の冗長線の内、少なくとも1本の前記冗長線を絶縁膜が平坦化している配線層の領域に配線することを特徴とする冗長線の配線方法。

【請求項2】 請求項1記載の冗長線の配線方法において、前記領域が、メモリマットの中央部またはその近傍の位置であることを特徴とする冗長線の配線方法。

【請求項3】 冗長回路と接続された複数の冗長線の内、少なくとも1本の前記冗長線を絶縁膜が平坦化している配線層の領域に形成することを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記領域が、メモリマットの中央部またはその近傍の位置であることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、前記領域に形成される前記冗長線を、等間隔で均等に正規のワード線またはビット線の少なくともいずれか一方の間に配置したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冗長線の配線方法および半導体装置に関し、特に、冗長線の救済歩留まりの向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したところによれば、DRAM (Dynamic Random Access Memory) などのデータをランダムに読み書きできるメモリには、欠陥となった不良のメモリセルまたはメモリラインをスペアの行や列すなわち、冗長線ならびに冗長ビット線を選択し、置き換えて救済する冗長回路が形成されており、冗長線は、メモリマット端部近傍の配線層に形成されている。

【0003】なお、この種の半導体装置について詳しく述べてある例としては、昭和62年2月10日、株式会社培風館発行、香山晋（編）、「超高速デジタル・デバイス・シリーズ 超高速MOSデバイス」P329～P331があり、この文献には、MOSメモリの冗長回路技術について記載されている。

【0004】

【発明が解決しようとする課題】ところが、上記のようなメモリに形成された冗長回路では、次のような問題点があることが本発明者により見出された。

【0005】近年、メモリの大容量化に伴い、高集積化ならびに微細加工化が行われており、メモリセルには多層配線構造が用いられ、メモリセルと周辺回路との段差が大きくなっている傾向にあり、メモリマット端部近傍の配線層では、メモリセルと周辺回路との段差のため平面方向の平坦性が悪く、それにより、レジストの均一性、寸歩精度、膜厚ならびにエッチング特性などが設計

許容値以下となる恐れがあり、冗長線の救済歩留まりが低下するという問題がある。

【0006】本発明の目的は、冗長線を平坦化した配線層に形成することにより冗長線の加工不良を低減させ、冗長回路技術による救済歩留まりを向上させることのできる冗長線の配線方法および半導体装置を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】すなわち、本発明の冗長線の配線方法は、冗長回路と接続された複数の冗長線の内、少なくとも1本の冗長線を絶縁膜が平坦化している配線層の領域に配線するものである。

【0010】また、本発明の冗長線の配線方法は、前記領域が、メモリマットの中央部またはその近傍の位置とするものである。

【0011】さらに、本発明の半導体装置は、冗長回路と接続された複数の冗長線の内、少なくとも1本の冗長線を絶縁膜が平坦化している配線層の領域に形成するものである。

【0012】また、本発明の半導体装置は、前記領域が、メモリマットの中央部またはその近傍の位置よりなるものである。

【0013】さらに、本発明の半導体装置は、前記領域に形成される冗長線を、等間隔で均等に正規のワード線またはビット線の少なくともいずれか一方の間に配置したものである。

【0014】以上のことにより、平坦化された絶縁膜上に冗長線を形成できるので、高精度のパターニングが可能となり、微細加工不良を大幅に低減することができ、欠陥救済効率を向上することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0016】図1は、本発明の一実施の形態によるDRAMにおける半導体チップの平面模式図、図2は、本発明の実施の形態1によるDRAMの半導体チップにおけるビット線方向に平行な断面斜視説明図、図3は、本発明の実施の形態1によるDRAMにおけるワード線配列説明図、図4は、本発明者が検討したDRAMにおけるワード線配列の比較説明図である。

【0017】本実施の形態において、たとえば、単結晶シリコンなどの半導体ウエハ上に半導体素子が形成された半導体装置であるDRAMの半導体チップ1は、半導体チップ1の周辺部に2進情報の1ビットを記憶するメ

3

メモリセルがマトリクス構成に二次元配置されたメモリアレイ2が分割して設けられている。

【0018】また、分割されたメモリアレイ2の上下間ならびに中央部には、冗長回路、入出力回路、バッファ回路およびドライバなどから構成される周辺回路3が設けられている。

【0019】さらに、メモリアレイ2は、たとえば、8分割されたメモリマット4に細分化されており、メモリマット4には、メモリセルが形成されたメモリセル領域4aとセンスアンプが形成されているセンスアンプ領域4bが交互に設けられている。

【0020】そして、各々の分割されたメモリマット4の上下の間には、行方向のメモリセルを選択するための信号を出力するローデコーダ5が設けられている。

【0021】また、各々のメモリマット4の一方の端部には、列方向のメモリセルを選択するための信号を出力するカラムデコーダ6が設けられている。

【0022】さらに、半導体チップ1上に作りつけられたメモリセル領域4aおよびセンスアンプ領域4bの上方には、図2に示すように、絶縁膜Z1を介してカラムデコーダ6と接続されているビット線7が所定の数だけ形成されている1層目の配線層が設けられている。

【0023】また、ビット線7が形成された配線層の上方には、同じく絶縁膜Z2を介してローデコーダ5（図1）と接続されているワード線8およびセンスアンプと接続されているセンスアンプ線9が所定の数だけ2層目の配線層に形成されている。

【0024】さらに、ワード線8は、メモリセル領域4aの領域の上方に形成され、センスアンプ線9は、センスアンプ領域4bの領域の上方に形成されている。

【0025】そして、ワード線8は、たとえば、センスアンプ線9に隣接するワード線8から2本がプロセスダミー配線8aとして形成されており、その他のワード線8が後述する正規のワード線ならびに冗長線として形成されている。

【0026】次に、図3を用いてワード線8の配列について説明する。

【0027】まず、メモリマット4の上方に形成されたワード線8は、前述したプロセスダミー配線8a（図2）、所定の本数の正規のワード線8bならびにメモリセルなどが不良の場合に救済を行う所定の本数の冗長線8cにより構成されている。

【0028】また、これら冗長線8cは、メモリマット4の上方における所定の本数の正規のワード線8が形成されている配線層の中央部およびその近傍に位置している。

【0029】なお、図3においては、センスアンプ線9に隣接する2本のプロセスダミー配線8a（図2）は示しておらず、ビット線7ならびにワード線8の本数も省略して示している。

4

【0030】次に、本発明者が検討したDRAMにおけるワード線の比較例を図4に示す。

【0031】まず、半導体チップ20上には、メモリセルが形成されたメモリセル領域21とセンスアンプが形成されているセンスアンプ領域22が交互に設けられ、メモリセル領域21およびセンスアンプ領域22の上方には、カラムデコーダと接続されているビット線23が所定の数だけ形成されている配線層が絶縁膜Z3を介して設けられている。

10 【0032】また、ビット線23が形成された配線層の上方には、絶縁膜Z4を介してローデコーダと接続されているワード線24およびセンスアンプと接続されているセンスアンプ線25が所定の数だけ形成されている。

【0033】さらに、ワード線24は、メモリセル領域21の領域の上方に形成され、センスアンプ線25は、センスアンプ領域22の領域の上方に形成されている。

20 【0034】そして、ワード線24は、たとえば、センスアンプ線25に隣接するワード線24から2本がプロセスダミー配線26として形成され、プロセスダミー配線26と隣接する4本の配線が冗長線27となっている。

【0035】また、その他のワード線24が正規のワード線28として所定の本数形成されている。なお、図4においても、ビット線23ならびにワード線24の本数を省略して示している。

【0036】ここで、図4において、メモリセルが形成されたメモリセル領域21とセンスアンプが形成されたセンスアンプ領域22との境界部では大きな段差が生じていることが分かる。

30 【0037】よって、プロセスダミー配線26が作り込まれているものの、あきらかに高精度のパターニングが困難となって寸法誤差が生じてしまい、加工形状の不良となってしまう恐れがある。

【0038】しかし、図2に示すように、冗長線8cを所定の本数のワード線8における中央部およびその近傍に位置させることにより、平坦化された位置に冗長線8cを形成でき、高精度のリソグラフィプロセスが可能となり、高精度のパターニングを行うことができる。

40 【0039】それにより、本実施の形態では、冗長線8cを高精度にパターニングすることにより、冗長線8cそれ自体の不良を低減でき救済効率を向上させることができる。

【0040】また、本実施の形態においては、すべての冗長線8c（図3）をワード線8の中央部に位置させたが、たとえば、図5、図6に示すように、冗長線8cをメモリマット4の両端の位置に加えてマット中央部に配置あるいは冗長線8cを正規のワード線8bの所定の本数毎に等間隔で配置するなど1本以上の冗長線8cをメモリマット4の端部近傍に配置しないようにすればよい。

50 い。

5

【0041】なお、図5、図6でも、センスアンプ線9に隣接する2本のプロセスダミー配線は示しておらず、ビット線7ならびにワード線8の本数も省略して示している。

【0042】そして、この場合、冗長線8cの選択は、メモリマット4の中央部の位置に配置された冗長線8cを優先的に活性化することによって救済効率を向上させることができる。

【0043】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0044】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0045】(1) 本発明によれば、冗長線を平坦化された絶縁膜上に形成できるので、高精度のパターニングが可能となり、冗長線の加工不良を大幅に低減することができる。

【0046】(2) また、本発明では、上記(1)により、冗長線それ自体の救済効率を大幅に向上させることができる。

【図面の簡単な説明】

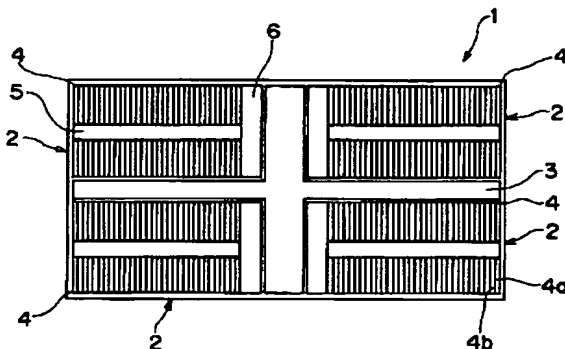
【図1】本発明の一実施の形態によるDRAMにおける半導体チップの平面模式図である。

【図2】本発明の一実施の形態によるDRAMの半導体チップにおけるビット線方向に平行な断面斜視説明図である。

【図3】本発明の一実施の形態によるDRAMにおけるワード線配列説明図である。

【図1】

図 1



6

【図4】本発明者が検討したDRAMにおけるワード線配列の比較説明図である。

【図5】本発明の他の実施の形態によるDRAMにおけるワード線配列説明図である。

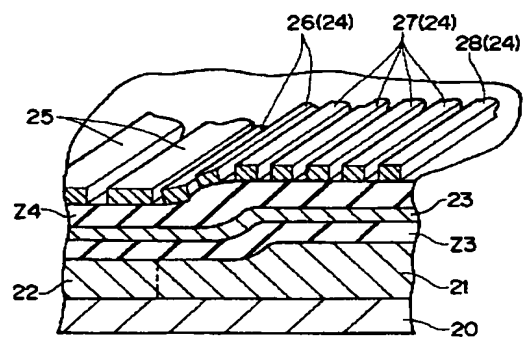
【図6】本発明の他の実施の形態によるDRAMにおけるワード線配列説明図である。

【符号の説明】

- 1 半導体チップ
- 2 メモリアレイ
- 3 周辺回路
- 4 メモリマット
- 4a メモリセル領域
- 4b センスアンプ領域
- 5 ロードデコーダ
- 6 カラムデコーダ
- 7 ビット線
- 8 ワード線
- 8a プロセスダミー配線
- 8b ワード線
- 8c 冗長線
- 9 センスアンプ線
- Z1, Z2 絶縁膜
- 20 半導体チップ
- 21 メモリセル領域
- 22 センスアンプ領域
- 23 ビット線
- 24 ワード線
- 25 センスアンプ線
- 26 プロセスダミー配線
- 27 冗長線
- 28 ワード線
- Z3, Z4 絶縁膜

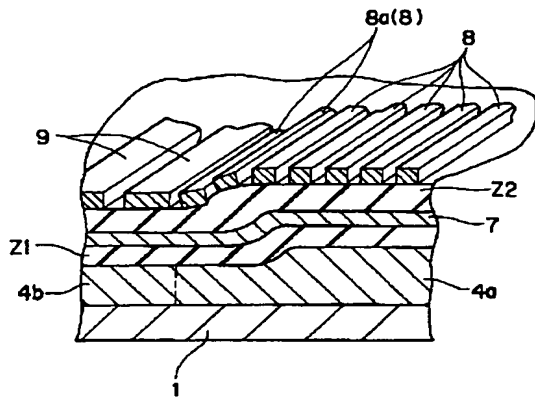
【図4】

図 4



【図 2】

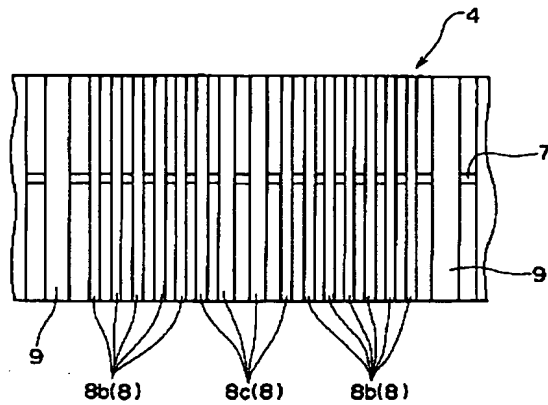
図 2



Z1, Z2: 絶縁膜

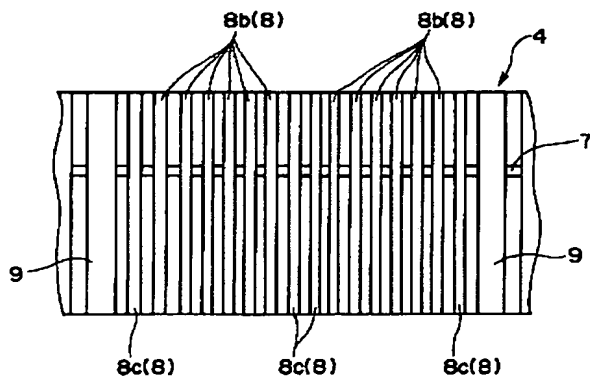
【図 3】

図 3

3: メモリマツト
8b: ワード線
8c: 冗長線

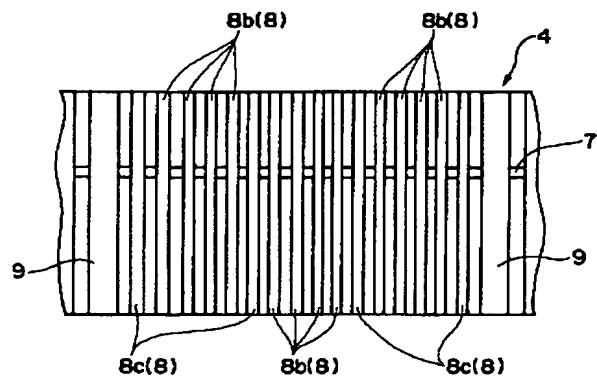
【図 5】

図 5



【図 6】

図 6



フロントページの続き

(72)発明者 馬越 雅士
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 石川 次男
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 小林 宏尚
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 朝山 匡一郎
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内